

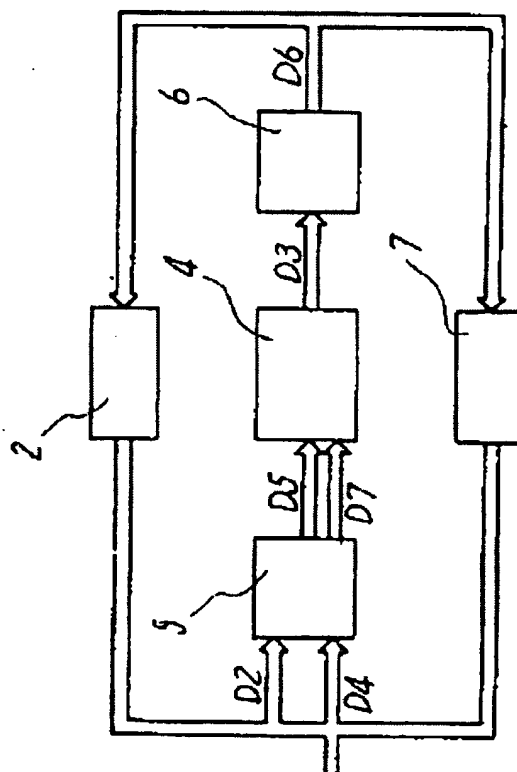
DIGITAL DATA ARITHMETIC CIRCUIT

Patent number: JP59111533
Publication date: 1984-06-27
Inventor: ABE TADASHI; others: 01
Applicant: HITACHI SEISAKUSHO KK
Classification:
- international: G06F7/38; G06F15/20
- european:
Application number: JP19820220255 19821217
Priority number(s):

Abstract of JP59111533

PURPOSE: To accelerate the arithmetic speed by dividing a memory part into plural groups to write the data read out by a command to the memory part of a group and the data on the arithmetic result to the memory part of the other group respectively.

CONSTITUTION: The data read out by a command is written to a memory part of one of plural divided groups of memories along with the data on arithmetic result written to a memory of the other group respectively. Thus the data is read and written at a time. For instance, the data D2 is read out of a designated address of a memory element 2 and held at an input holding part 5 together with the input data D4 to be calculated. Then data D5 and D7 are supplied to an arithmetic device 4 to perform an operation. The data D3 calculated by the device 4 is held at an output holding part 6, and at the same time the device 4 is replaced for the next calculation. Then the data D6 on the arithmetic result held at the part 6 is stored in a memory element 7. Meanwhile the replaced data is supplied to the device 4 to give an operation to the next replaced data.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—111533

⑤ Int. Cl.³

G 06 F 7/38

15/20

識別記号

1 0 3

庁内整理番号

7056—5B

7157—5B

④ 公開 昭和59年(1984)6月27日

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ デジタルデータ演算回路

⑯ 発明者 篠原初恵

勝田市市毛882番地株式会社日

立製作所那珂工場内

⑰ 特 願 昭57—220255

⑱ 出 願 昭57(1982)12月17日

⑲ 出 願 人 株式会社日立製作所

⑳ 発 明 者 阿部正

東京都千代田区丸の内1丁目5

勝田市市毛882番地株式会社日

番1号

立製作所那珂工場内

㉑ 代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 デジタルデータ演算回路

特許請求の範囲

1. デジタルデータを格納するメモリ部と、デジタルデータを指令に従って演算する演算部と、を含み、指令により与えられるデジタルデータとメモリ部から読み出されたデジタルデータとを演算し、演算されたデジタルデータを前記メモリ部に格納するデジタルデータ演算回路において、前記メモリ部を少なくとも2群に分割し、一方の群のメモリ部には指令により読み出されたデジタルデータを格納し、他方の群のメモリ部には演算結果のデジタルデータを書き込み、デジタルデータの読み出しと書き込みを併行して行なうことを特徴とするデジタルデータ演算回路。

発明の詳細な説明

〔発明の利用分野〕

本発明はデジタルデータ演算回路に係り、特に、メモリ部に格納されたデジタルデータを各種の演算データとして用いるのに好適なデジタルデータ

演算回路に関する。

〔従来技術〕

デジタルデータに基づく各種の演算を行なう場合、記憶素子から構成されるメモリ部に格納されているデジタルデータを用いることが従来から行なわれている。このような演算処理を機能から分類すると次の2通りに分けることができる。

(1) 演算前後のデータを残すことを目的とする。

(2) 演算処理速度の高速化を目的とする。

(1)の例としてはいわゆる汎用コンピュータがあり、(2)の例としてはデジタル画像計測回路等がある。

(1)の例としては、例えば第1図及び第2図に示されるように、予め定められたプログラム媒体より出力されたプログラムデータD1の信号P1がタイミングT1～T4で解読され、コントロール信号C1、C2によりタイミングT4で記憶素子2、3のアドレス設定等が行なわれる。記憶素子2、3のアドレスは夫々信号P2、P7に示されるように設定される。又このとき読み出し許可信

号P 3、書き込み許可信号P 8等も設定される。

記憶素子2より出力されたデータD 2の信号P 4はタイミングT 5付近で確立される。このときもう一つの演算入力データD 4の信号P 5はタイミングT 4付近ですでに確立されているので、これらの2つのデータ信号が演算器4に供給されタイミングT 6付近で演算結果のデータD 3として確立される。続いてタイミングT 7までの間に書き込み許可信号P 8によつてデータD 3は記憶素子3に格納される。

このように第1図に示される演算処理回路においては、記憶素子2、3が夫々演算前後のデータを保管することができる。しかし、第1図に示される演算処理回路の場合は演算処理行程に必ず命令解読時間T 1〜T 4が含まれ、演算処理行程としてタイミングT 1〜T 4の時間を要する。そのため、前記の演算回路では単純繰り返し演算が行なわれる画像計測回路等に適用することは処理速度の面から困難であつた。

そこで、タイミングT 1〜T 4の解読時間を必

(3)

る演算回路よりも演算時間を大幅に短縮することができる。

しかし、1群のデータを処理するのにタイミングT 4〜T 7の時間を必要とするため、データの高速処理が必要とされる画像計測に適用してもその利用範囲が制限されるという不都合があつた。

〔発明の目的〕

本発明は、前記従来の課題に鑑みて為されたものであり、その目的は、デジタルデータの演算時間を短縮することができるデジタルデータ演算回路を提供することにある。

〔発明の概要〕

前記目的を達成するために、本発明は、デジタルデータを格納するメモリ部と、デジタルデータを指令に従つて演算する演算部と、を含み、指令により与えられるデジタルデータとメモリ部から読み出されたデジタルデータとを演算し、演算されたデジタルデータを前記メモリ部に格納するデジタル演算回路において、前記メモリ部を少なくとも2群に分割し、一方の群のメモリ部には指令

(5)

要としない演算回路が提案されている。この演算回路としては、例えば第3図に示されるものであつて、第4図に示される手順に従つて演算される。

即ち、タイミングT 4で記憶素子2のアドレスが指定され、読み出し許可信号P 10によつてデータD 2が信号P 11として読み出されタイミングT 5付近で確立する。このとき入力データ保持信号P 13により被演算入力データD 4と共に入力保持部5に保持される。なお、記憶素子2は書き込み許可信号P 17によりデータ書き込み可能状態となる。

入力保持部5より出力されたデータD 5、D 7は同時に演算器4に供給され所定の演算が行なわれデータD 3として出力される。このデータD 3の信号P 14はタイミングT 6付近で確立される。そして書き込み許可信号P 17によつてデータD 3が記憶素子2に格納される。

このように第3図に示される演算回路の場合は、データの解読をするためのタイミングT 1〜T 4の処理時間を必要としないので、第1図に示され

(4)

により読み出されたデジタルデータを格納し、他方の群のメモリ部には演算結果のデジタルデータを書き込み、デジタルデータの読み出しと書き込みを併行して行なうことを特徴とする。

〔発明の実施例〕

以下、図面に基づいて本発明の好適な実施例を説明する。

第5図には、本発明の好適な実施例の構成が示されている。第5図において、本実施例における演算回路は、2群に分割されたメモリ部を構成する記憶素子2、7、入力保持部5、演算器4、出力保持部6から構成されている。

第5図に示される演算回路は、第6図に示されるように、タイミングT 4で記憶素子2のアドレスが指定され、読み出し許可信号P 19によつてデータD 2が読み出される。次にタイミングT 5で入力保持信号P 22によつてこのデータD 2が被演算入力データD 4と共に入力保持部5に保持され、演算器4にデータD 5、D 7として供給され演算が開始される。この後、入力保持部5は入

(6)

カデータの更新可能となり、タイミングT5の後のデータが読み出される。

演算器4に供給されたデータはタイミングT4～T5の間付近で確立され、出力保持信号P24によりデータD3として出力保持部6に保持される。このとき演算器4は次の演算が可能となり、更新されたデータが入力保持部5から供給されるのを待機する。

一方、出力保持部6に保持された演算結果のデータD6はタイミングT6～T7で記憶素子7に格納される。データD6が記憶素子7に格納されているタイミングT6～T7の間において更新されたデータが演算器4に供給され、次の更新されたデータの演算が行なわれる。

このように本実施例においては、データの読み出しと書き込みが併行して行なわれているので、演算器4の動作について着目すると、タイミングT4～T7の間で2回の演算が行なわれていることになる。そのため第3図の演算回路の場合よりも演算処理時間を1/2に短縮することができる。

(7)

デジタルデータを格納し、他方の群のメモリ部には演算結果のデジタルデータを書き込み、デジタルデータの読み出しと書き込みを併行して行なうようにしたので、デジタルデータの読み出しと書き込みが交互に行なわれる演算回路の場合よりも演算処理時間を短縮することができるという優れた効果がある。

図面の簡単な説明

第1図及び第3図は従来の回路構成図、第2図及び第4図は夫々各回路のタイミングチャート、第5図は本発明の一実施例を示す回路構成図、第6図は第5図のタイミングチャートである。

2…記憶素子、4…演算器、5…入力保持部、6…出力保持部。

代理人 弁理士 高橋明夫

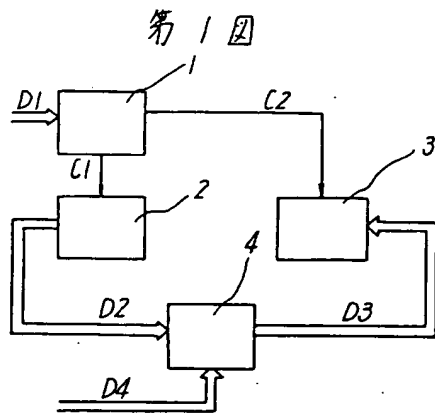


なお、同一アドレスによつて演算を行なうときのデータの流りは、記憶素子7→入力保持部5→演算器4→出力保持部6→記憶素子2の順となる。又、本実施例における演算回路を血液像自動分類装置に適用し赤血球分類及び網赤血球算定についての演算処理速度を求めたところ、従来の演算回路の場合には赤血球分類及び網赤血球算定の1画面の処理時間が夫々263mS、184mSであり、演算部の処理時間として夫々207mS、136mSであつた。これに対して本実施例における演算処理回路の場合には、演算部による演算時間が夫々103.5mS、68mSであり、1画面の総処理速度として夫々163.5mS、116mSとなつた。又、本実施例における処理演算回路によれば、赤血球分類及び網赤血球算定の処理時間を47.8%、47%に短縮することができる。

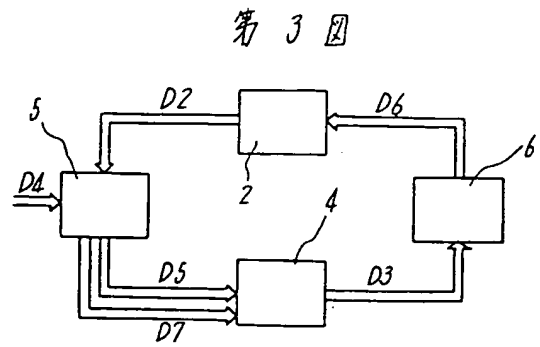
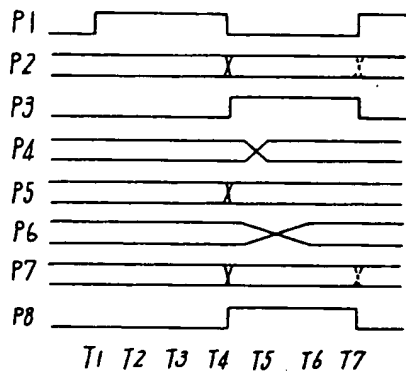
〔発明の効果〕

以上説明したように、本発明によれば、デジタルデータを格納するメモリ部を少なくとも2群に分割し、一方の群のメモリ部には読み出されたデ

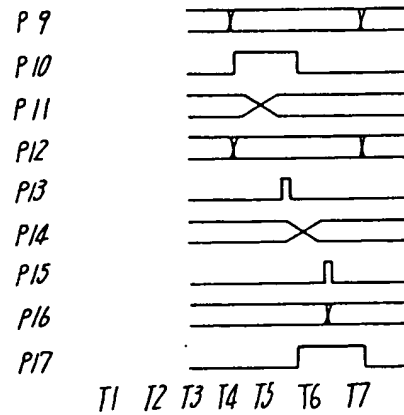
(8)



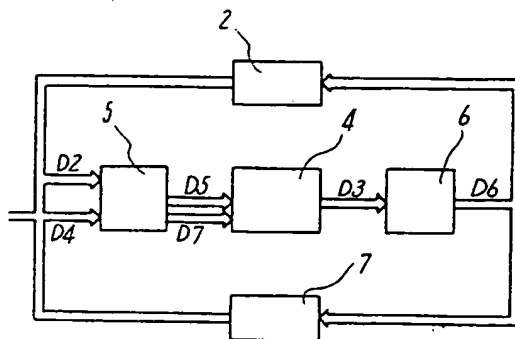
第 2 図



第 4 図



第5図



第6図

